

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-034227

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

G09G 3/28

G09G 3/20

(21)Application number : 11-201315

(71)Applicant : HITACHI LTD
HITACHI VIDEO & INF SYST INC

(22)Date of filing : 15.07.1999

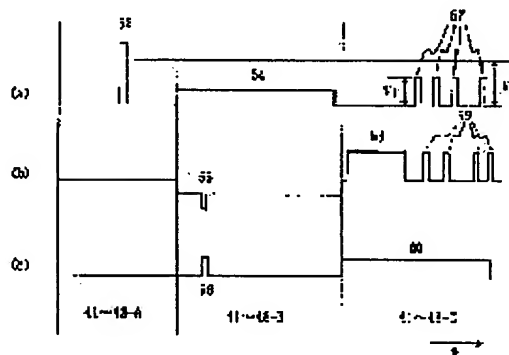
(72)Inventor : KIJIMA YUICHI
ISHIGAKI MASA HARU
SASAKI TAKASHI
HIBARA AKIRA
KAMATA MASAKI

(54) DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent electric discharge from being centralized and avoid a momentary large current by utilizing variation of discharge start voltages and delays in discharge of each cell by making gentle a sustained pulse for a light-emitting display for the rising time.

SOLUTION: There is a possibility that electric discharge by a 1st sustained pulse 58 may be weak and wall charges may not sufficiently be accumulated by impression of a short time pulse for the reasons that charge amounts are insufficiently accumulated on a dielectric substance in the neighborhood of an electrode X for a write period 41-48-B and on a dielectric substance in the neighborhood of an electrode Y, etc. Therefore, the delay in discharge is coped with by lengthening a period for applying voltage, and also much charges are collected on the dielectric substance in the neighborhood of the X-electrode, and on the dielectric substance in the neighborhood of the Y-electrode. In such a manner, when a 1st pulse in an X-sustained pulse 57 is applied to the X-electrode next, electric discharge is generated with a sufficient discharge intensity and little delay to the pulse impression. Namely, the rising of the voltage waveforms of the sustained pulses 57, 59 to be impressed should be made gentle.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-34227

(P2001-34227A)

(43)公開日 平成13年2月9日(2001.2.9)

(51)Int.Cl.⁷

識別記号

F I

テ-マコード*(参考)

G 0 9 G 3/28

G 0 9 G 3/28

H 5 C 0 8 0

3/20

6 2 4

3/20

6 2 4 M

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号 特願平11-201315

(22)出願日 平成11年7月15日(1999.7.15)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72)発明者 木島 勇一

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディアグループ内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

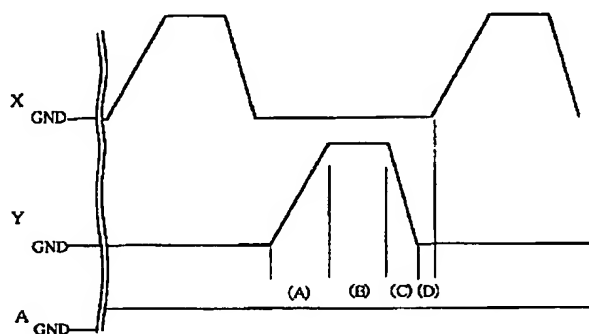
(54)【発明の名称】 表示装置及びその駆動方法

(57)【要約】

【課題】表示装置において発光表示期間で瞬間的に大電流が流れる防止し、回路コストの低減を実現する。

【解決手段】本発明では、サステイン期間に印加する電圧印加パルスの立ち上がりをなだらかにし、各セルの放電開始電圧のばらつき、及び放電遅れのばらつきを利用して、各セルの放電の発生を分散させる。

図1



【特許請求の範囲】

【請求項 1】互いに略平行な複数の第一の電極群を有する第一の基板と、前記第一の基板と共に放電空間を形成する第二の基板を備え、少なくとも前記第一の電極群と交差し、かつ互いに略平行な複数の第二の電極群を有する表示装置の駆動方法において、前記第一の電極群でなだらかな立上りの電圧で繰り返し放電をさせることにより発光表示を行うことを特徴とした表示装置の駆動方法。

【請求項 2】請求項 1 に記載の表示装置の駆動方法に於いて、発光表示のための電圧印加パルスの立ち上がり時間が 0.6 μ S 以上であることを特徴とする表示装置の駆動方法。

【請求項 3】互いに略平行な複数の第一の電極群を有する第一の基板と、前記第一の基板と共に放電空間を形成する第二の基板を備え、少なくとも前記第一の電極群と交差し、かつ互いに略平行な複数の第二の電極群を有し、前記第一の電極群で繰り返し放電をさせることにより発光表示を行う表示装置において、上記発光表示のための電圧印加パルスの立ち上がりをなだらかに設定する手段を備えたことを特徴とする表示装置。

【請求項 4】請求項 3 に記載の表示装置において、上記設定する手段は、パルスの立ち上がり時間を 0.6 μ S 以上に設定することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はパーソナルコンピュータやワークステーション等のディスプレイ装置、平面型の壁掛けテレビジョン、広告や情報等の表示用のディスプレイに使用するプラズマディスプレイパネル（以下 PDP と称す）等の表示技術に関する。

【0002】

【従来の技術】例えば、PDP は、放電により発生する紫外線で蛍光体を励起して画像を表示するデバイスである。一般的な PDP は、1 フィールド（1 画面）を階調の異なる複数個のサブフィールドに分割し、その重ね合わせによって画像の階調を表現する。一般的な AC 型 PDP では各サブフィールドで、個々の画素（セル）内の電荷の状態を均一化するリセット放電期間、発光させるセルを選択する書き込み放電期間、発光表示を行う発光表示期間に分けられる。

【0003】

【発明が解決しようとする課題】例えば、一般的に PDP では発光表示を行う発光表示期間において、全てのセルあるいは同一ラインのセルに共通の放電維持パルス（サスティンパルス）を印加するため、放電がほぼ同時に発生し、瞬間的に大電流が流れる。このため、回路上に大きな負荷がかかり、コスト増の要因となる。

【0004】

【課題を解決するための手段】上記課題に対して本発明

では、発光表示のためのサスティンパルスの立ち上がり期間をなだらかにすることにより、個々のセルの放電開始電圧及び放電遅れのばらつきを利用して、放電の集中を防ぎ、瞬間的に大電流が流れるのを防ぐ。

【0005】

【発明の実施の形態】以下図 1 から図 8 を用い PDP の場合を例に本発明の実施形態を説明する。

【0006】図 2 は本発明を適用する PDP の構造の一部を示す分解斜視図であり、21 は第一の基板である前面ガラス基板、28 は第二の基板である背面ガラス基板である。前面ガラス基板 21 の下面には透明な X 電極 22 と、第一の電極群である透明な Y 電極 23 が平行に交互に付設されている。また、X 電極 22 と Y 電極 23 には、それぞれ X バス電極 24 と Y バス電極 25 が積層付設される。さらに、X 電極 22、Y 電極 23、X バス電極 24、Y バス電極 25 は誘電体 26 によって被覆され、さらに MgO 等の保護層 27 が付設される。

【0007】一方、背面ガラス基板 28 の上面には、X 電極 22、Y 電極 23 と垂直に立体交差する、第 2 の電極群であるアドレス電極 29 が付設され、アドレス電極 29 は誘電体 30 によって被覆されている。この誘電体 30 の上には隔壁 31 がアドレス電極 29 と平行に設けられている。さらに、隔壁 31 の壁面と誘電体 30 の上面には蛍光体 32 が塗布されている。

【0008】図 3 は図 2 中の矢印 D1 の方向から見た PDP の断面図であり、画素の最小単位であるセル 1 個を示している。この図に於いて、アドレス電極 29 は 2 つの隔壁 31 の中間に位置し、前面ガラス基板 21 と背面ガラス基板 28、隔壁 31 に囲まれた放電空間 33 には放電を行わせるためのガスが充填されている。

【0009】図 4 は図 2 中の矢印 D2 の方向からみた PDP の断面図であり、1 個のセルを示している。セルの境界は概略点線で示す位置であるが、実際には隔壁等によって区切られているわけではない。

【0010】図 5 は PDP のパネルの電極配置と回路の構成を示している。図に示すように、X 電極 22 は X 駆動回路 34 に、Y 電極 23 は Y 駆動回路 35 に、アドレス電極 29 はアドレス駆動回路 36 に接続され、それぞれの駆動回路により電圧が印加される。

【0011】図 6 は図 2 に示した PDP に 1 枚の画を表示するのに要する 1 フィールドの動作を示す図である。本実施例に於いて、1 フィールド 40 は 8 個のサブフィールド 41 乃至 48 に分割され、各サブフィールドは、個々のセル内の電荷の状態を均一化するリセット放電期間 41 ~ 48 - A、発光セルを規定する書き込み放電期間 41 ~ 48 - B、規定されたセルを所定の明るさで発光させる発光表示期間 41 ~ 48 - C からなる。

【0012】図 6 に示すように、各サブフィールド毎に放電回数を変化させているため、発光表示を行う期間の長さが異なり、異なる明るさの表示ができる。この発光

表示期間 41~48-C を選択的に発光させることにより、表示する画像の階調を表現する。図 6 はサステインパルス数が少ない順に各サブフィールドを配置しているが、サブフィールドの並び順は任意である。

【0013】図 7 は 1 つのサブフィールドに於いて、各電極に印加する概略電圧波形を示している。図 7 (a) は 1 本の X 電極に印加する電圧波形、図 7 (b) は 1 本の Y 電極に印加する電圧波形、図 7 (c) は 1 本のアドレス電極 29 に印加する電圧波形である。予備放電期間 41~48-A では、X 電極 22 に放電開始電圧より高い電圧のリセットパルス 52 を印加する。書き込み放電期間 41~48-B には X 電極 22 に印加する X スキャンパルス 54、Y 電極 23 に印加するスキャンパルス 55、アドレス電極 29 に印加するアドレスパルス 56 を配する。発光表示期間 41~48-C は Y 電極 23 に印加する第 1 のサステインパルス 58、X サステインパルス 57、Y サステインパルス 59、全面アドレスパルス 60 からなる。尚、グランド電位 (GND) は本装置の基準電位とする。リセット放電期間 41~48-A に於いて、X 電極 22 に印加するリセットパルス 52 の放電によって、誘電体及び蛍光体上に蓄積している電荷の消去を行う。すなわち、パルスの立ち上がりとしち下がり

で放電を起こすように、高い電圧のパルスを印加する。パルスの立ち上がりによる放電は、X-Y 電極間の電位差が放電開始電圧を越えることによって放電を起こす。パルスの立ち下がりによって放電は、電圧の印加を休止したときに、立ち上がりに於ける放電後に X 電極 22 近傍の誘電体、Y 電極 23 近傍の誘電体上に集めた電荷のみが形成する電位差によって放電を起こす。これにより、電極近傍の誘電体及び蛍光体上の電荷は減少する。その後はどの電極にも電圧の印加を行わないため、放電によって発生した電荷も中和消去する。このリセットパルスにより、直前の発光表示期間における放電の有無による各セルの電荷量のばらつきの均一化を図る。

【0014】リセットパルス印加後、Y 電極 23 にスキャンパルス 55 が印加された時、アドレス電極 29 にアドレスパルス 56 を印加すると、Y 電極 23 とアドレス電極 29 の交点に位置するセルで発光セルを規定するための書き込み放電が起こる。書き込み放電期間 41~48-B において、X 電極 22 にはグランド電位に対して X スキャンパルス 54 によって正の電圧を、Y 電極 23 にはグランド電位に対して負の電圧を印加するため、X、Y 電極近傍には書き込み放電によって生じた電荷が集まり、X 電極 22 近傍の誘電体上には負の電荷、Y 電極 23 近傍の誘電体上には正の電荷が分離されて蓄積される。これにより、発光セルが規定される。一方、Y 電極 23 にスキャンパルス 55 が印加された時、アドレス電極 29 がグランド電位であれば書き込み放電は起こらず、電荷が蓄積されないため、そのセルは非発光セルとなる。

【0015】発光表示期間 41~48-C に於ける第 1 のサステインパルス 58 を Y 電極 23 に印加したとき、書き込み放電期間 41~48-B で X 電極 22 近傍の誘電体上、Y 電極 23 近傍の誘電体上に蓄積した電荷によって形成される電位差と放電維持電圧 V1 を加えた実効電圧差が放電空間に生じる。そして、その実効電圧が放電開始電圧 V2 以上になるように、放電維持電圧 V1 を設定することにより発光表示期間の最初の放電が発生する。一例として、V1 は 170V、V2 は 220V である。

【0016】ここで、第 1 のサステインパルス 58 による放電は、書き込み放電期間 41~48-B で X 電極 22 近傍の誘電体上、Y 電極 23 近傍の誘電体上に蓄積した電荷量が十分ではない等の理由で、放電が弱く、短時間のパルスの印加では壁電荷を十分に蓄積できない可能性がある。また、パルスの印加に対する放電の遅れが大きい確率も高い。そこで、電圧を印加する期間を長くすることによって、放電の遅れに対応し、かつ多くの電荷を X 電極 22 近傍の誘電体上、Y 電極 23 近傍の誘電体上に集める。これにより、次に X 電極 22 に X サステインパルス 57 に於ける最初のパルスを印加したときに、十分な放電強度で、なおかつパルスの印加に対する遅れが少ない放電を起こすことができる。以降、サステインパルスを Y 電極 23、X 電極 22 に交互に印加し、放電を繰り返す。AC 型 PDP は上記のように駆動させることにより、発光させたいセルを選択し、任意の画像を表示する。

【0017】従来の技術では、X 電極 22 に印加するサステインパルス 57 及び Y 電極 23 に印加するサステインパルス 59 を鋭い電圧波形のパルスで印加してきた。第 1 のサステインパルス 58 において十分な壁電荷を集め放電するため、以降のサステインパルス 57 及びサステインパルス 59 において、選択されたセルではほぼ同時に放電を開始する。このため、瞬間的に大電流が流れ、回路上のコスト増の要因となっている。

【0018】図 1 に本発明における第 1 の実施例を説明する発光表示期間の概略駆動パルスを示す。サステインパルス 57、59 の印加する電圧波形の立ちあがりをなだらかにすることにより、各セルの放電開始電圧のばらつきや放電遅れを利用して各セルの放電開始時期を分散させ、瞬間的に大電流が流れることを防止する。

【0019】一例として、サステインパルスの形状としては、図 1 の (a) の立ちあがり期間を 0.7 μ S、(b) の維持期間を 2.3 μ S、(c) の立ち下がり期間を 0.5 μ S、(d) の休止期間に 0.5 μ S である。立ちあがり期間は 0.6 μ S 以上であれば、個々セルの放電開始電圧及び放電遅れにより、放電電流を十分に分散可能であるが、0.6 μ S 以下であると放電電流の分散が十分ではない。

【0020】立ちあがり期間が長ければ長いほど放電電

5

流の分散可能となるが、時分割方式の駆動方式では、使用可能な時間が制限されており、立ち上がり期間が $3\mu\text{s}$ 以上では現実的ではない。なお、(b) (c) (d) で設定している期間の時間は、この値に限定されるものではない。また、第1サステインパルス58では、書き込み放電が個々のセルでは不均一なため、個々のセルが同時に放電し、瞬間的に大電流が流れる可能性は少ないが、第1のサステインパルス58においてもパルスの立ち上がり期間をなだらかにしてももちろん問題がない。

【0021】本実施例では、3電極AC型PDPの構造にて説明してきたが、この構造に限定されるものではなく、繰り返し放電にて発光表示を行う、DC型PDP、2電極AC型PDP、その他の構造のPDPでも問題がない。また、繰り返し放電の印加パルスを片側の電極にのみ印加する方式の駆動方法でももちろん問題がない。

【0022】図8に本発明における第2の実施例を示す。なお、言及しないものは本発明の第1実施例と同じである。

【0023】本発明では、(a)の立ち上がり期間で、例えば $V_1/2$ まで急峻に立ち上げ、その後 V_1 までなだらかに立ち上げる。これにより、サステインパルスの期間を伸ばすことなく、実質立ち上がり期間を長くしたと同じ効果が可能となり、より放電電流の分散が可能となる。なお、本発明は上記範囲に限定されない。

【0024】

【発明の効果】本発明を適用することによって、瞬間的な放電の集中、すなわち瞬間的に大電流が流れるのを防

6

ぎ、回路コストの低減が実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明する発光表示期間の概略駆動波形図。

【図2】本発明の実施例の一部を示す分解斜視図。

【図3】図2中の矢印D1の方向から見た断面図。

【図4】図2中の矢印D2の方向から見た断面図。

【図5】本発明の実施例の回路構成例を示した図。

【図6】1枚の画を構成する1フィールド期間の動作を示した図。

【図7】1サブフィールド内における駆動波形を示した図。

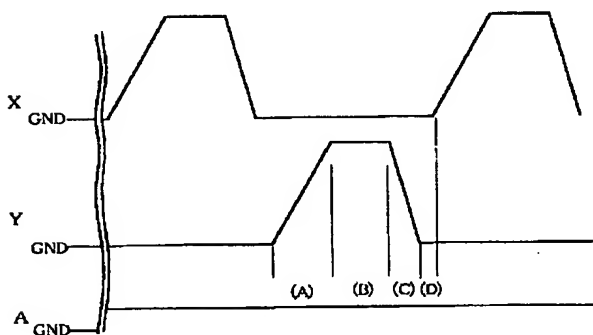
【図8】本発明の第2の実施例を説明する発光表示期間の概略駆動波形図。

【符号の説明】

21…前面ガラス基板、22…X電極、23…Y電極、24…Xバス電極、25…Yバス電極、26…誘電体、27…保護層、28…背面ガラス基板、29…アドレス電極、30…誘電体、31…隔壁、32…蛍光体、33…放電空間、40…1フィールド、41乃至48…サブフィールド、41～48-A…リセット放電期間、41～48-B…書き込み放電期間、41～48-C…発光表示期間、52…リセットパルス、54…Xスキャンパルス、55…スキャンパルス、56…アドレスパルス、57…Xサステインパルス、58…第1のサステインパルス、59…Yサステインパルス、60…全面アドレスパルス。

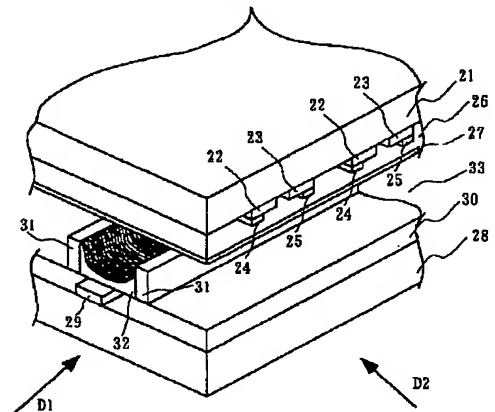
【図1】

図1

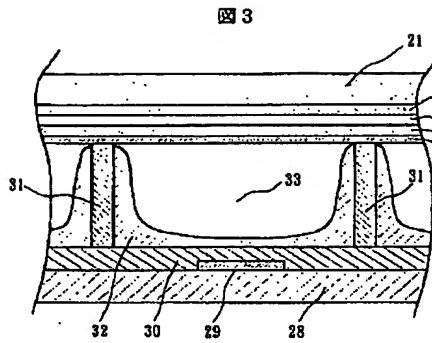


【図2】

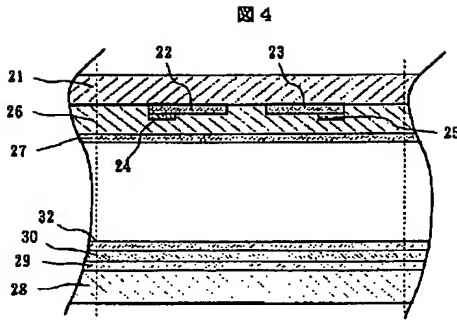
図2



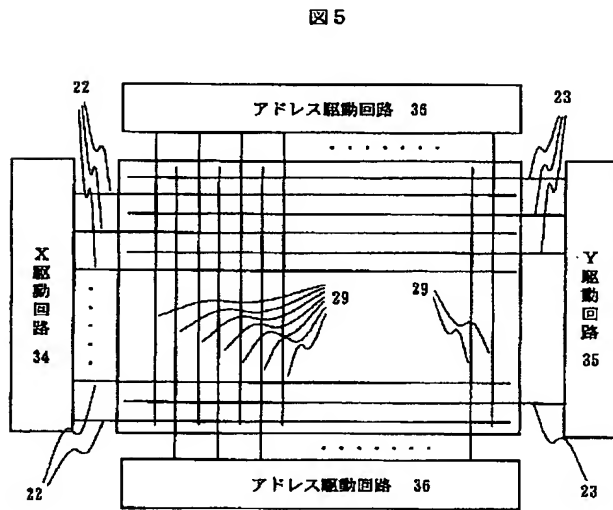
【図 3】



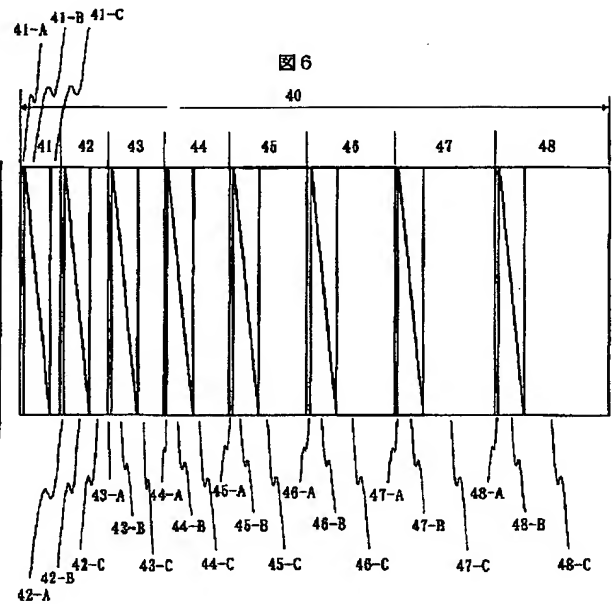
【図 4】



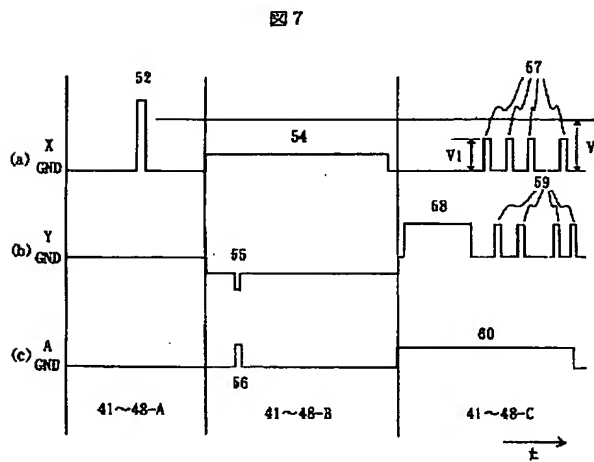
【図 5】



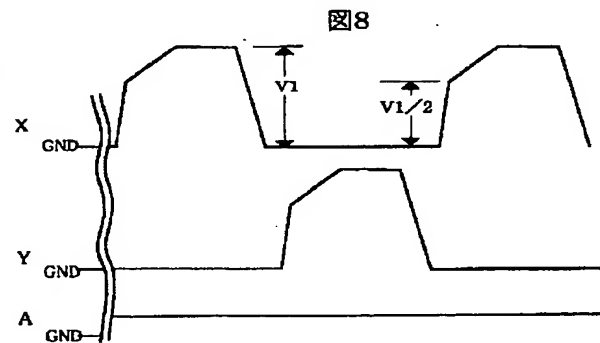
【図 6】



【図 7】



【図 8】



フロントページの続き

(72)発明者 石垣 正治
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所デジタルメディアグルー
プ内
(72)発明者 佐々木 孝
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所デジタルメディアグルー
プ内

(72)発明者 ▲檜▼原 章
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所デジタルメディアグルー
プ内
(72)発明者 鎌田 雅樹
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立画像情報システム内
Fターム(参考) 5C080 AA05 BB05 DD19 DD24 DD30
EE29 FF12 GG12 HH02 HH04
HH05 JJ02 JJ04 JJ06